

(54) MEMORY CARD

(11) 5-89304 (A) (43) 9.4.1993 (19) JP

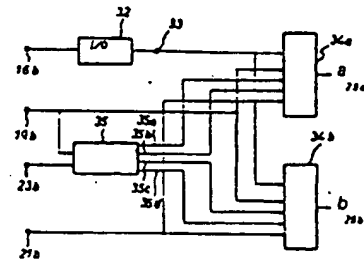
(21) Appl. No. 3-252486 (22) 30.9.1991

(71) TOSHIBA CORP(1) (72) TETSUYA KAIZE

(51) Int. Cl. G06K19/077, G11C7/00

**PURPOSE:** To enable plural users to have the same data, and to enable plural users to have associated data by sharing the same by providing plural memory chips of the storage parts in a memory card, and making these detachable.

**CONSTITUTION:** The memory chips 25a, 25b are fitted detachably to a memory card frame. A chip select circuit 35 stores the same data inputted to a data output terminal 16d to the memory chips 25a, 25b. Besides, it stores the inputted data serially to the memory chips 25a, 25b, or stores the associated input data to the memory chips 25a, 25b by sharing the same. In this way, the plural same data or the associated data are stored in the individual memory, and simultaneously, the individual memory can be divided. Thus, a memory card of which plural persons can have a piece of data while the memory card slot of a memory card camera is one in number is obtained.



32: I/O control circuit, a: to memory chip 25a, b: to memory chip 25b, 31a,b memory chip connector

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-89304

(43) 公開日 平成5年(1993)4月9日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 K 19/077				
G 1 1 C 7/00	3 1 1	7323-5L		
		8623-5L	G 0 6 K 19/ 00	K

審査請求 未請求 請求項の数4(全 7 頁)

(21) 出願番号 特願平3-252486

(22) 出願日 平成3年(1991)9月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221029

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(72) 発明者 海瀬 哲也

東京都港区新橋3丁目3番9号 東芝エー・ピー・イー株式会社内

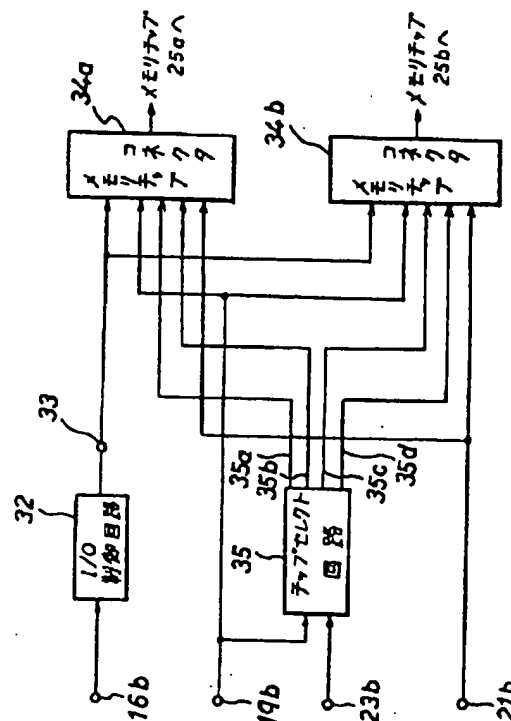
(74) 代理人 弁理士 須山 佐一 (外1名)

(54) 【発明の名称】 メモリカード

## (57) 【要約】

【目的】複数の同一のデータや関連づけられたデータを、個々のメモリに記憶させるとともに、個々のメモリを分割可能とした。

【構成】メモリカードフレーム24に対し、メモリチップ25a、25bを着脱自在に取り付ける。チップ選択回路33は、データ出力端子16bに入力された同一のデータを、メモリチップ25a、25bにメモリする。また、入力されたデータをメモリチップ25a、25bにシリアルにメモリしたり、関連づけた入力データをメモリチップ25a、25bに分けてメモリする。



## 【特許請求の範囲】

【請求項1】 複数のメモリチップから構成する半導体メモリ、データ信号、アドレス信号および制御信号の授受のための信号接続手段、前記データ信号の入出力を制御する手段、前記アドレス信号および制御信号により、前記半導体メモリに対する制御信号を生成する手段とを備えたメモリカード本体と、

前記半導体メモリを構成する複数のメモリチップの中から少なくとも1個のメモリチップを、前記メモリカード本体から脱着自在とする手段とからなることを特徴とするメモリカード。

【請求項2】 半導体メモリに対する制御信号は、少なくとも2個以上のメモリチップに対して入力されるデータ信号を、同時に書き込むことを特徴とする請求項1記載のメモリカード。

【請求項3】 メモリカード本体の外部の制御信号により、複数のメモリチップの何れか1個のメモリチップに対して、入力されるデータを書き込むように制御信号を生成するか否かを選択する手段を有してなることを特徴とする請求項1記載のメモリカード。

【請求項4】 着脱自在なメモリチップは、装着時にメモリカード本体内に封止してなることを特徴とする請求項1記載のメモリカード。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、電子スチルカメラ等の記録媒体となるメモリカードに関する。

## 【0002】

【従来の技術】 光学像を電気信号に変換し、映像をテレビジョン受像機に表示する電子式写真システムは、たとえば特開昭49-52192号公報に開示されている。

【0003】 この電子式写真システムは、磁性材料を用いたテープ、ディスク、ドラム等のカセットまたはカートリッジの形態にした記録媒体を使用し、これをカメラに装着し、再生機に接続されたテレビジョン受像機により、再生画像を得る方式である。

【0004】 この方式での記録媒体は磁性材料からなるものであるため、通常使用する大きさで、そのメモリ容量を考慮した場合、大容量が要求されるデジタル系のデータを記憶するときは、極めて少量の情報しか記憶できない。したがって、アナログ系のデータを記憶するものとなり、画質が悪化する原因となる。

【0005】 この問題に対処したものとして現在は、撮影した画像のデジタルデータの記録媒体として、半導体記憶素子を用いたメモリカードカメラが、主流となつつある。

【0006】 現在のデジタルデータを、メモリカードに記憶したメモリカードカメラでは、メモリカードのスロットを1つしか持っていない。このため撮影した画像データを持つことが出来るのは一人であり、同一データを

複数の人間が持つことは、不可能である。この問題を回避するには当然、メモリカードカメラのメモリカードスロットを増やせば良いことになるが、この結果メモリカードカメラ本体が大きくなってしまう問題点がある。

## 【0007】

【発明が解決しようとする課題】 上記した従来のメモリカードでは、通常、撮影した画像データは1本分しかなく、共通のデータを複数の人が持つことが不可能であり、これを解決するにはメモリカードを増やせばよいが、カメラ本体が大きくなったり、コストアップに繋がるものであった。

【0008】 この発明は、メモリカードカメラのメモリカードスロットが1つでありながら、1つのデータを複数の人が持つことができる、メモリカードを提供することを目的としている。

## 【0009】

【課題を解決するための手段】 この発明のメモリカードは、記録データの電氣的書換が可能な半導体メモリとこのメモリのコントロール回路とを独立にするとともに、複数のメモリを脱着自在にして、同一の画像データを個々のメモリに記録させるものである。

## 【0010】

【作用】 上記した手段により、一度の記録動作によって、複数の同一データをメモリに記録することで、複数の人が同一のデータや関連づけられたデータを持つことができる。

## 【0011】

【実施例】 以下、この発明の実施例を図面を参照して詳細に説明する。

【0012】 図1は、この発明の一実施例に係る電子スチルカメラの模式的に示した斜視図である。電子スチルカメラは、主にカメラ本体1と、このカメラ本体1に対して脱着自在なメモリカード2からなる。カメラ本体1は、通常のカメラと同様に、鏡筒3、ファインダ4、シャッター5等を備えるとともに、着脱可能なメモリチップ25a、25bを備えた、メモリカード2が挿入される開口部6を有している。メモリカード2は、通常のカメラに使用されるフィルムの機能を果たすものである。

【0013】 図2は、図1のカメラ本体1の回路構成を説明するために示したブロック図である。

【0014】 7はレンズであり、このレンズ7は、鏡筒3内に配置し、被写体像がレンズ7の背面に配置したCCD8に投影する。CCD8はこのように投影された像の明暗に応じてアナログ系の電気信号を出力するものである。この電気信号はA/D変換器9によりデジタル系の信号に変換された後、帯域圧縮回路10により、帯域の圧縮を行い、メモリカードコントロール回路11に入力する。

【0015】 また、45は本体1の外部に配置されたマイクであって、このマイク45から入力した音声信号

を回  
・ドス  
・

メモリ  
しかな  
能であ  
ばよい  
に繋が

メモリ  
・タを複  
・するこ

メモリ  
・カード  
メモリとこ  
ともに、  
・タを個

作によつ  
て、複数  
のこ

参照して詳

係る電子ス  
電子スチル  
本体1に対  
メラ本体1  
ンダ4、シ  
メモリチップ  
挿入される  
通常のカメ  
である。  
の回路構成を

ズ7は、鏡筒  
に配置したC  
投影された像  
力するもので  
りデジタル  
より、帯  
ル回路11に

に配置されたマ  
した音声信号

は、A/D変換器46、ディジタル音声回路47を介してメモリカードコントロール回路11に入力する。

【0016】12はCPUであり、このCPU12はメモリカード2も含めた電子スチルカメラ全体の統括的制御を行うものであり、例えば駆動系13を介してCCD8の駆動制御したり、帯域圧縮回路10の圧縮比を制御し、さらにはメモリカードコントロール回路11やメモリカード2の制御も行う。

【0017】図3はメモリカードコントロール回路11およびその周辺の構成を説明するためのブロック図である。

【0018】同図において、14は帯域圧縮回路10あるいはCPU12とメモリカード2との間でデータ信号のやりとりを行うために、これらの中で出力制御を行うI/O制御回路である。データ入力端子15は、帯域圧縮回路10からの画像に関するデータ信号を入力し、またデータ入力端子48は、図2のディジタル音声回路47からの音声に関するデータ信号を入力するものである。これらのデータ信号およびCPU12で発生したデータ信号は、このI/O制御回路14を介してデータ入出力端子16aからメモリカード2に送出する。一方、メモリカード2からデータ入出力端子16aに供給したデータ信号は、I/O制御回路14を介してCPU12に送出する。

【0019】ここで、CPU12とI/O制御回路14との間のデータライン上には、メモリ17を介挿し、これらの間のデータ伝送速度のインターフェイスをとる。すなわち、CPU12で入出力されるデータ信号は、シリアル信号のため、低速である。I/O制御回路14で入出力されるデータ信号は、パラレル信号のため、高速である。メモリ17は、これらのシリアル信号あるいはパラレル信号を、それぞれパラレル信号あるいはシリアル信号に変換している。

【0020】また、18はアドレス発生回路であり、このアドレス発生回路18はCPU12が指定する初期アドレス値、以下この値に順次"1"を加算したアドレス値に相当するアドレス信号を順次発生し、アドレス出力端子19aからメモリカード2に送出する。

【0021】20はタイミング信号発生回路であり、このタイミング信号発生回路20は、CPU12からの指定に基づきI/O制御回路14、メモリ17、アドレス発生回路18、記録決定回路22、さらにタイミング出力端子21aからメモリカード2に対し、所定のタイミングを発生する。

【0022】記録決定回路22はメモリカード2の記録方法を決定するための回路で、メモリカード2に接続している複数のメモリチップをシーケンシャルに記録するか、複数のメモリチップに同一のデータを書き込むかを判定させる判定信号であり、記録選択出力端子23aからメモリカード2に送出する。

【0023】図4はメモリカード2の斜視図である。このメモリカード2は、メモリカードフレーム24と、このフレーム24に対して脱着自在で特にデータ信号やアドレス信号を制御する制御回路を持たず、半導体メモリを内蔵するメモリチップ25a、25bとからなる。

【0024】図5は、メモリカードフレーム24の構成を詳細に説明するためのものである。メモリカードフレーム24には、一端にカメラ本体1に接続されるコネクタ26と、このフレーム24に対して脱着自在なメモリチップ25aや25bが挿入される開口部27a、27bと、メモリチップ25a、25bにデータ信号等を受け渡しをするための端子28a、28bを装備する。さらに、メモリチップ25a、25b装着するとき、安定を図るため開口部27aの対向側面には突起29a、29bを、開口部27bの対向側面には突起30a、30bを装備している。

【0025】図6は開口部27a(27b)に着脱自在に取り付けるメモリチップ25a、(25b)の斜視図である。このメモリチップ25aは内部の基板上にRAMあるいはEEPROM等のデータの電氣的に書換可能なメモリ38を、1つ以上搭載するが、2つ搭載すると仮定して説明する。また、メモリチップ25aには、一端にメモリカードフレーム24に接続される端子39とメモリカードフレーム24が備えているメモリチップ25aを安定させる突起29a、29b(30a、30b)を受けるための溝40a、40bを備えている。

【0026】メモリチップ25a(25b)の取り付けは、溝40a、40bを突起29a、29bに係合してスライドさせ、端子39と端子28aとを結合することにより行う。逆の動作により行うことによりメモリチップ25aは、メモリカードフレーム24から取り外すことができる。

【0027】図7はこのようなメモリカードフレーム24の回路構成を説明するためのブロック図である。

【0028】16bはカメラ本体1側のデータ入出力端子16aと接続されるデータ入出力端子であり、このデータ入出力端子16bは、I/O制御回路32を介してI/O出力端子33に送出する。

【0029】また、19bはカメラ本体1側のアドレス出力端子19aと接続されるアドレス入力端子であり、このアドレス入力端子19bは、そのままメモリチップコネクタ34a、34bに接続するとともに、フレーム内のチップセレクト回路35に接続する。23bはカメラ本体1側の記録選択出力端子23aに接続される記録選択入力端子であり、記録選択入力端子23bは、チップセレクト回路35に接続する。さらに、カメラ本体1側のタイミング出力端子21aに接続されるタイミング入力端子21bは、そのままタイミング入力端子21bから、メモリチップコネクタ34a、34bに接続する。メモリチップコネクタ34a、34bはメモリチッ

5

ブ25a、25bに接続する。

【0030】チップセレクト回路35の動作について説明する。ここではメモリチップ25a、25b内のメモリを1MB、アドレス入力信号を18bitとそれぞれ仮定する。チップセレクト回路35は、アドレス入力端子19bに供給されたアドレス入力信号の18bit目と記録決定入力端子23bに供給された記録選択信号を入力する。まず、アドレス18bit目をデコードして、0か1かを判定する。その結果が0の場合で記録選択信号がシーケンシャルモードでは出力35aのみアクティブとする。記録選択信号が同一モードの場合は、出力35aおよび35cをアクティブにする。デコードした結果が1の場合で、記録選択信号がシーケンシャルモードでは、35bのみをアクティブとし、記録選択信号が同一モードでは、出力35bおよび35dをアクティブとする。

【0031】このように、シーケンシャルモードではチップセレクト信号は、いずれか1つがアクティブになり、同一モードではメモリカードフレームに装着されている全てのメモリチップに対してチップセレクト信号がアクティブになる。メモリ容量、アドレス信号がこの仮定と異なった場合も、この例のようにチップセレクト信号をメモリチップ25a、25bに送出する。

【0032】図8はこのようなメモリチップ25a（25b）の回路構成を説明するためのブロック図である。

【0033】41aは、メモリカードフレーム24のI/O出力33と接続するデータ入出力端子であり、このデータ入出力端子41aはメモリ38の各データ入出力端子に接続する。41bは、メモリカードフレーム24の出力35aと接続するアドレス入力端子であり、このアドレス入力端子41bはメモリ38の各アドレス入力端子に接続する。

【0034】41c、41dは、チップセレクト回路35のチップセレクト信号35a、35bを供給するセレクト端子であり、メモリ38のチップセレクト端子に接続する。さらに、41eは、メモリカードフレーム24の出力35cと接続するタイミング信号であり、メモリ

6

38のタイミング入力端子に接続する。

【0035】上記したように、メモリチップ25a、25bを複数の使用者が持つことによって、複数の使用者が同一のデータを持つことができる。たとえば、メモリチップがA、B、Cあった場合、これを複数の使用者が専用のメモリにすることにより、高価なメモリカードが一枚でも管理上問題はなくなる。

【0036】この発明は、上記した実施例に限らず、複数のメモリを絵柄によって区別して記録するもので、メモリAには、風景をメモリBには人物を記録することにより、編集上管理し易くなる。

【0037】

【発明の効果】以上、記載したように、この発明のメモリカードによれば、メモリカード内の記憶部であるメモリチップを複数設け、しかも、これらを着脱可能にしたことにより、同一のデータを複数の使用者が持つことや関連付けられたデータを複数の使用者で別けてもつことも可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例を模式的に示した斜視図。

【図2】図1の回路構成を示すブロック図。

【図3】図2に示した要部およびその周辺部の構成を示すブロック図。

【図4】この発明のメモリカードの斜視図。

【図5】図4の一部が取り外された状態を示す斜視図。

【図6】図4の一部を取り外して示した斜視図。

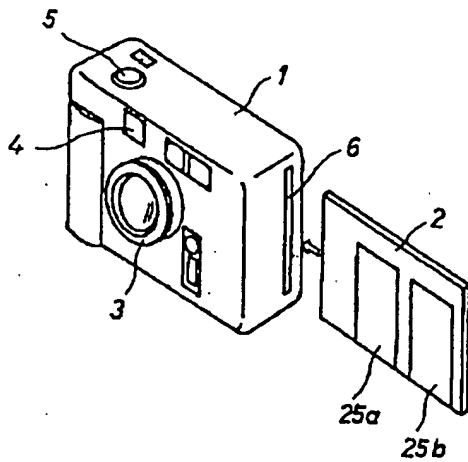
【図7】図4の内部の回路構成を示すブロック図。

【図8】図7に示す要部の回路ブロック図。

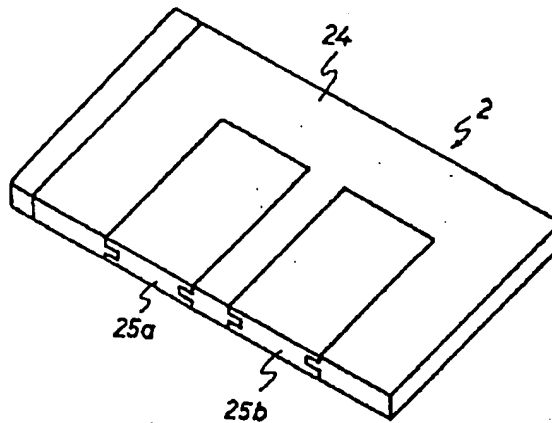
【符号の説明】

2…メモリカード、9…A/D変換器、11…メモリカードコントロール回路、12…CPU、14、29…I/O制御回路、17、38…メモリ、18…アドレス発生回路、20…タイミング信号発生回路、22…記録方法選択回路、24…メモリカードフレーム、25a、25b…メモリチップ、33…チップセレクト回路。

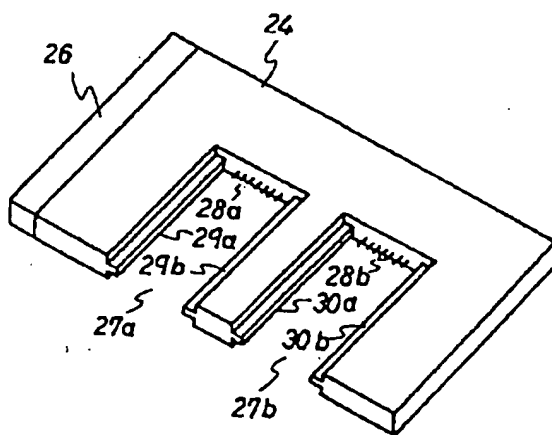
【図1】



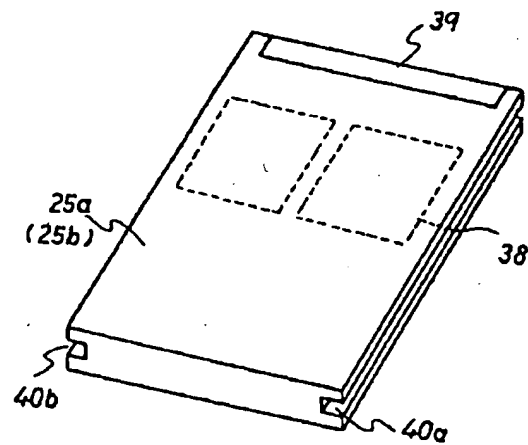
【図4】



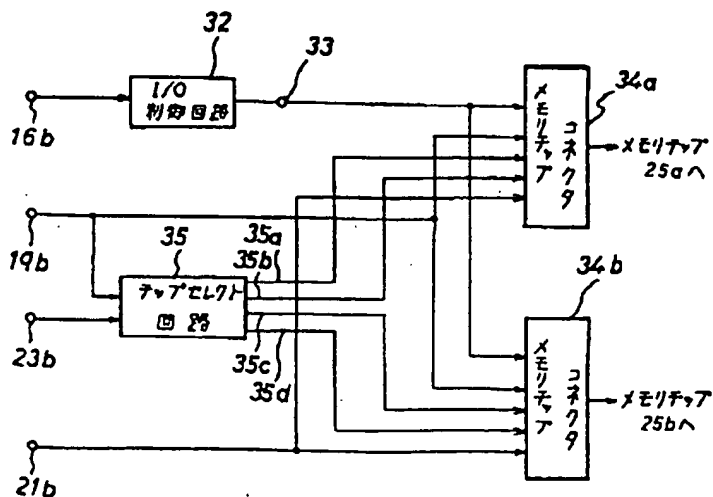
【図5】



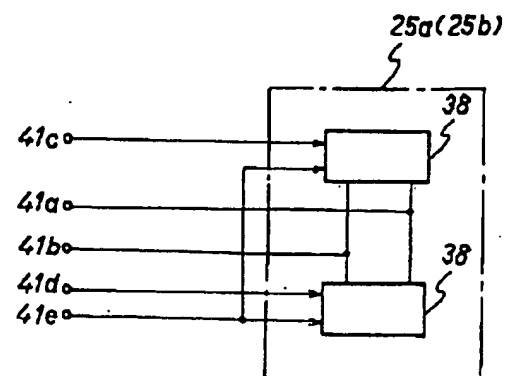
【図6】



【図7】



【図8】



2  
用者  
メモ  
リ  
カードが  
ず、複  
で、メ  
モに

のメモ  
リメモ  
にした  
ことや  
つこと

視図。

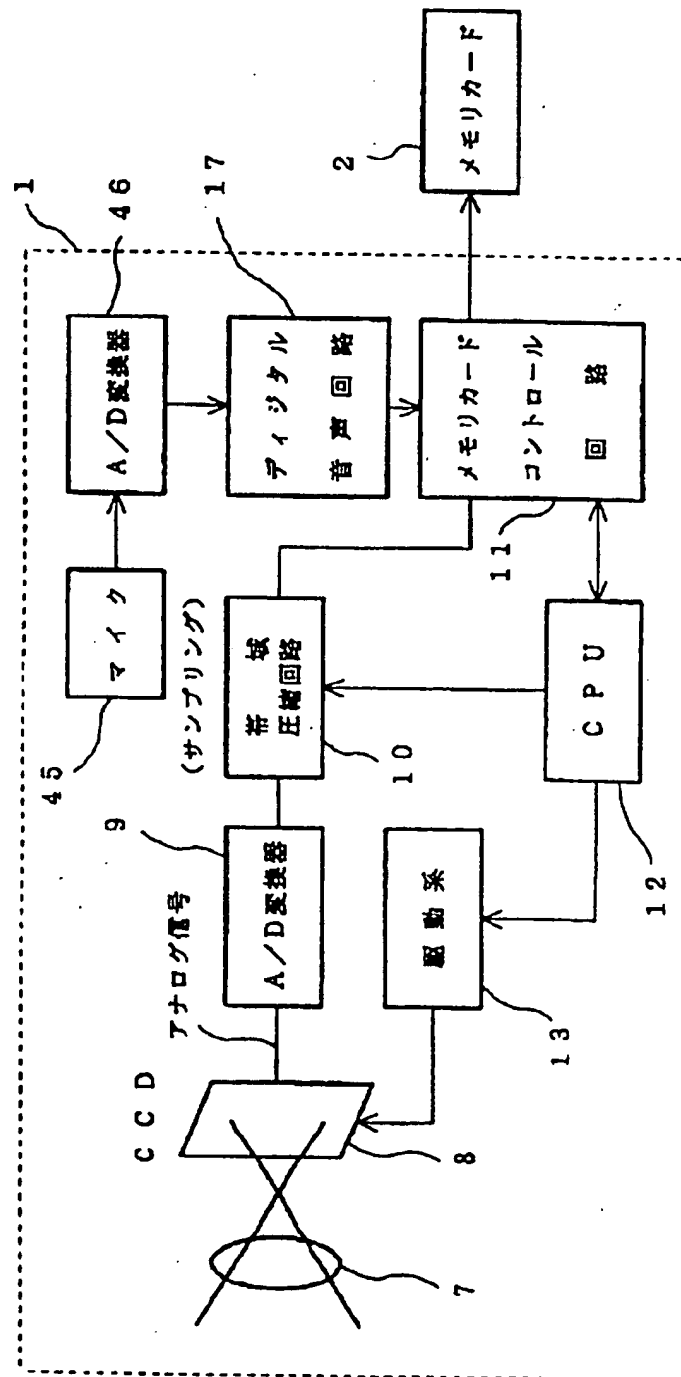
形成を示

示す斜視

4.

1...メモ  
リ4.  
1、18...  
発生回路、  
ロードフレ  
3...チップ

【図2】



【図3】

